

OPTICAL SENSOR

Patent number: WO0212845

Publication date: 2002-02-14

Inventor: MIZUNO SEIICHIRO (JP); YAMAMOTO HIROO (JP); FUJITA KAZUKI (JP)

Applicant: HAMAMATSU PHOTONICS KK (JP); MIZUNO SEIICHIRO (JP); YAMAMOTO HIROO (JP); FUJITA KAZUKI (JP)

Classification:

- **international:** G01J1/44

- **european:** G01J1/46

Application number: WO2001JP06699 20010803

Priority number(s): JP20000235911 20000803

Also published as:

EP1314969 (A1)
US2003156211 (A1)

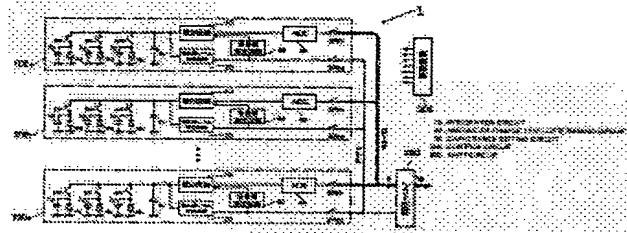
Cited documents:

JP5291955
JP9051476
JP10153425
JP2288709
XP002948278

[Report a data error here](#)

Abstract of WO0212845

When light enters a photodiode (PD), charge the amount of which corresponds to the intensity of the light is generated, and the level of the amount of charge is determined by an amount-of-charge level determining circuit (20). The capacitance of an integration capacitor section of an integrating circuit (10) is determined according to the determined level of the amount of charge by a capacitance setting circuit (30). The charge produced in the photodiode (PD) is accumulated in the integration capacitor section of the integrating circuit (10), which outputs a voltage corresponding to the amount charge accumulated. When the net intensity of the background light is high and the net intensity of the incident light is high, the capacitance of a variable capacitor section of the integration circuit (10) is set to a relative large value, and therefore the intensity of the incident light is determined without saturation. When the intensity of the background light is low, the capacitance of the variable capacitor section is set to a relatively small value. Therefore the intensity of the incident light is determined with good sensitivity irrespective of the ambient condition.



Data supplied from the esp@cenet database - Worldwide

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局(43)国際公開日
2002年2月14日 (14.02.2002)

PCT

(10)国際公開番号
WO 02/12845 A1

(51)国際特許分類:

G01J 1/44

(MIZUNO, Seiichiro) [JP/JP]. 山本洋夫 (YAMAMOTO, Hiroo) [JP/JP]. 藤田一樹 (FUJITA, Kazuki) [JP/JP]; 〒435-8558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).

(21)国際出願番号:

PCT/JP01/06699

(22)国際出願日:

2001年8月3日 (03.08.2001)

(25)国際出願の言語:

日本語

(26)国際公開の言語:

日本語

(30)優先権データ:

特願2000-235911 2000年8月3日 (03.08.2000) JP

(71)出願人(米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒435-8558 静岡県浜松市市野町1126番地の1 Shizuoka (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 水野誠一郎

(74)代理人: 長谷川芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒104-0061 東京都中央区銀座二丁目6番12号 大倉本館 創英國特許法律事務所 Tokyo (JP).

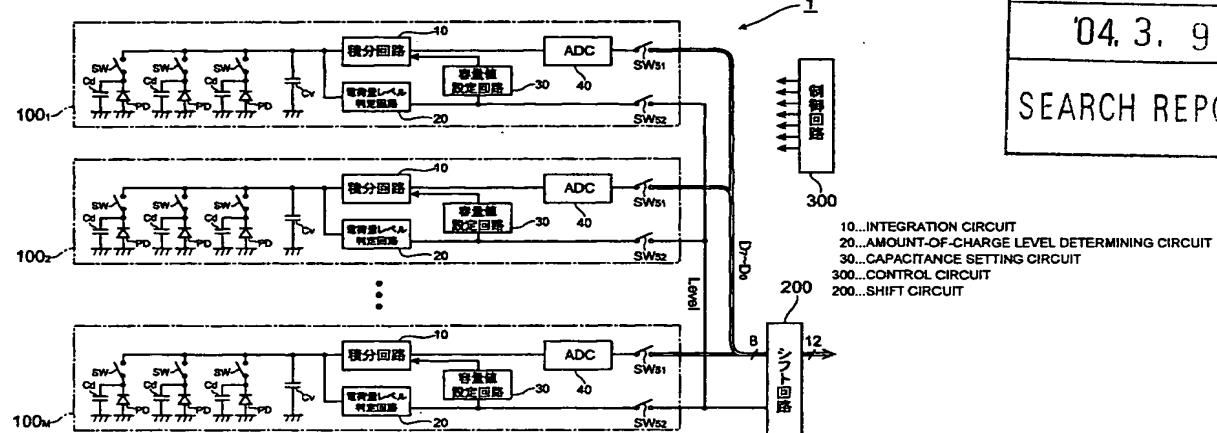
(81)指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84)指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,

/統葉有/

(54)Title: OPTICAL SENSOR

(54)発明の名称: 光検出装置



FP03-0379
-00WO-HP
04.3.9
SEARCH REPORT

10...INTEGRATION CIRCUIT
20...AMOUNT-OF-CHARGE LEVEL DETERMINING CIRCUIT
30...CAPACITANCE SETTING CIRCUIT
300...CONTROL CIRCUIT
200...SHIFT CIRCUIT

WO 02/12845 A1

(57) Abstract: When light enters a photodiode (PD), charge the amount of which corresponds to the intensity of the light is generated, and the level of the amount of charge is determined by an amount-of-charge level determining circuit (20). The capacitance of an integration capacitor section of an integrating circuit (10) is determined according to the determined level of the amount of charge by a capacitance setting circuit (30). The charge produced in the photodiode (PD) is accumulated in the integration capacitor section of the integration circuit (10), which outputs a voltage corresponding to the amount charge accumulated. When the net intensity of the background light is high and the net intensity of the incident light is high, the capacitance of a variable capacitor section of the integration circuit (10) is set to a relative large value, and therefore the intensity of the incident light is determined without saturation. When the intensity of the background light is low, the capacitance of the variable capacitor section is set to a relatively small value. Therefore the intensity of the incident light is determined with good sensitivity irrespective of the ambient condition.

/統葉有/



LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

添付公開書類:
— 國際調査報告書

(57) 要約:

フォトダイオード PD に入射した光の強度に応じた量の電荷が発生し、この電荷のレベルが電荷量レベル判定回路 20 により判定される。この判定された電荷量レベルに基づいて容量設定回路 30 により積分回路 10 の積分容量部の容量が設定される。その後、積分回路 10 において、フォトダイオード PD で発生した電荷が積分容量部に蓄積されて、この蓄積された電荷の量に応じた値の電圧が出力される。背景光が強く全体の入射光強度が大きい場合には、積分回路 10 の可変容量部の容量は比較的大きな値に設定され、飽和することなく入射光強度が検出される。背景光が弱く全体の入射光強度が小さい場合には、積分回路 10 の可変容量部の容量は比較的小さな値に設定され、周囲の状況がどのようにあっても感度よく入射光強度が検出される。

明細書

光検出装置

技術分野

本発明は、入射した光の強度に応じた値のデジタル信号を出力する光検出装置
5 に関するものである。

背景技術

光検出装置は、1または複数の光検出素子と、光検出素子から出力された電荷
の量に応じた値の電圧を出力する積分回路とを備えている。この光検出装置では、
入射光強度に応じて光検出素子から出力された電荷が積分回路に蓄積され、この
10 蓄積された電荷の量に応じた値の電圧が積分回路から出力され、この電圧に基づ
いて入射光強度が得られる。

また、光検出装置は、積分回路から出力された電圧（アナログ信号）をデジタ
ル信号に変換するA／D変換回路を更に備えている場合がある。この場合には、
入射光強度はデジタル値として得られ、さらにコンピュータ等により処理するこ
15 とが可能となる。なお、複数の光検出素子が1次元または2次元に配列されてい
る場合には、この光検出装置は固体撮像装置として用いられる。

このような光検出装置は、CMOS技術により製造することが可能であって、
積分回路において、電流を電圧に変換するためのキャパシタの容量を変更するこ
とで、入射光強度検出のダイナミックレンジを大きくすることができます。

20 例えば、文献「S. L. Garverick, et al., "A 32-Channel Charge Readout IC for
Programmable, Nonlinear Quantization of Multichannel Detector Data",
IEEE Journal of Solid-State Circuits, Vol.30, No.5, pp.533-541 (1995)」は、こ
のような光検出装置を開示している。

同文献においては、容量可変の積分容量部がアンプの入出力端子間に設けられ
25 た積分回路を有する光検出装置が示されている。積分回路は、光検出素子から出
力された電荷を積分容量部に蓄積し、当該蓄積電荷量に応じた値の電圧を出力す

る。

同文献内の光検出装置において、積分容量部の容量を装置外部から制御することで、入射光強度検出のダイナミックレンジの拡大を図っている。

すなわち、積分容量部の容量を小さくすると入射光強度が小さい場合であっても検出感度が大きくなり、一方、積分容量部の容量を大きくすると入射光強度が大きい場合であっても出力信号の飽和が回避される。
5

同文献に記載の光検出装置（固体撮像装置）を用いれば、例えば、真夏の昼間のように周囲が非常に明るい状況下の被写体を撮像する場合にも、出力信号が飽和することなく被写体を撮像することができ、また、夜間のように周囲が非常に暗い状況下の被写体を撮像する場合にも、感度よく被写体を撮像することができる。
10

発明の開示

しかしながら、上記文献に記載された光検出装置は、出力信号の値の大きさや飽和しているか否かを判断して、その判断結果に基づいて積分回路の積分容量部の容量を外部より制御するものであるので、入射光強度の検出を高速に行うことができない。
15

また、上記文献に記載された光検出装置（固体撮像装置）は、被写体の位置によって明暗が大きく異なる場合には、被写体の暗い部分を感度よく撮像しようとすれば、被写体の明るい部分における出力信号が飽和する。一方、被写体の明るい部分を飽和しないように撮像しようとすれば、被写体の暗い部分における撮像感度が悪くなる。
20

このように、上記文献の光検出装置（固体撮像装置）は、撮像の度に積分容量部の容量を適切に設定することで入射光強度検出のダイナミックレンジの拡大を図っているものの、1画面における画素毎の入射光強度検出のダイナミックレンジが拡大されるものではない。
25

本発明は、上記問題点を解消する為になされたものであり、入射光強度検出が

高速にできる光検出装置を提供することを目的とする。

本発明の光検出装置は、光検出素子の出力に応じたアナログ信号が入力され、当該アナログ信号の大きさを判定する判定回路と、前記判定回路の出力に応じた分解能で前記アナログ信号をデジタル信号に変換するA／D変換手段とを備えることを特徴とする。

この変換の分解能は、ダイナミックレンジとは相反する特性を有するものであるが、光検出素子への入射光強度が大きい場合には、光検出素子の出力に応じたアナログ信号が入力される判定回路でその旨を判定し、判定回路の出力に応じた分解能でA／D変換を行うことで、分解能を低下させても高強度側のダイナミックレンジを確保することができる。

また、入射光強度が小さい場合には判定回路でその旨を検出し、判定回路の出力に応じた分解能でA／D変換を行うことで、高強度側のダイナミックレンジが狭くなるものの、分解能は高くすることができる。もちろん、この場合、入射光強度が小さいので本質的には高強度側はA／D変換が行えなくてもよい。

特に、判定回路には光検出素子の出力に応じたアナログ信号が入力されるので、このアナログ信号が入力されるA／D変換手段を、アナログ信号を受けた判定回路によって制御することができる。これは従来のようにデジタル化された映像信号輝度に基づいてA／D変換手段の分解能を制御するものではないため、高速制御が可能となる。

このようなA／D変換手段の構成は幾つか考えられる。

1つの構成は、A／D変換手段が、前記光検出素子の後段に接続されるキャパシタ群をオペアンプの入出力端子間に並列接続してなる積分回路と、前記キャパシタ群の電荷蓄積動作の開始前に、前記判定回路の出力に応じて前記入出力端子間の前記キャパシタ群の合成容量を設定する容量設定回路とを備えるものである。

一般に、電圧＝電荷量／容量の関係がある。したがって、入射光強度の増加に伴って、合成容量を増加させると、電荷量の変化に対する積分回路の出力電圧の

変化が小さくなり、変換の分解能は低くなるが、入射光強度が大きくても出力電圧が飽和することなく入射光強度を検出することができる。また、一方、入射光強度の低下に伴って、合成容量を低下させると、電荷量の変化に対する積分回路の出力電圧の変化が大きくなり、変換の分解能は高くなる。

5 また、別の構成として、A／D変換手段が、(A) 光検出素子の後段に接続される積分回路と、(B) 積分回路の出力に比例した電荷が蓄積される主キャパシタ、前記主キャパシタに蓄積された電荷が移動して蓄積される複数の副キャパシタ、及び前記複数の副キャパシタへの電荷の移動を制御し当該制御量を前記デジタル信号として出力する容量制御部を有するA／D変換回路とを備え、判定回路の出力に応じて前記副キャパシタの個々に蓄積可能な電荷量が設定されるものが挙げられる。この場合、判定回路の出力に基づいて、A／D変換回路側で分解能の調整を行うこととなる。

10 この場合、個々の副キャパシタの両端に印加される電圧を判定回路の出力に依存して決定することで、副キャパシタの個々に蓄積可能な電荷量を設定することを特徴とする。

15 更に、別の構成として、A／D変換手段が、(1) 光検出素子の後段に接続される積分回路と、(2) 積分回路の出力に比例した電荷が蓄積される主キャパシタ、前記主キャパシタに蓄積された電荷が移動して蓄積される複数の副キャパシタ、及び前記複数の副キャパシタへの電荷の移動を制御し当該制御量を前記デジタル信号として出力する容量制御部を有するA／D変換回路とを備え、前記判定回路の出力に応じて前記複数の副キャパシタから特定の容量群のキャパシタ群を選択し、選択されたキャパシタ群に、前記容量制御部の制御に従って前記主キャパシタから電荷を移動するものを挙げることができる。

20 なお、A／D変換の有無に拘らず光検出素子からのアナログ信号変化量を増加させる構成も考えられる。この場合の光検出装置は、(1) 入射した光の強度に応じた量の電荷を発生し出力する光検出素子と、(2) 容量が可変である積分容量部

を有し、光検出素子で発生した電荷を積分容量部に蓄積して、この蓄積した電荷の量に応じた値の電圧を出力する積分回路と、(3) 光検出素子で発生した電荷のレベルを判定する電荷量レベル判定回路と、(4) 積分回路における電荷蓄積動作の開始に先立って、電荷量レベル判定回路により判定された電荷量レベルに基づいて積分容量部の容量を設定する容量設定回路とを備えることを特徴とする。
5

この光検出装置によれば、光検出素子に入射した光の強度に応じた量の電荷が発生し、この電荷のレベルが電荷量レベル判定回路により判定される。そして、この判定された電荷量レベルに基づいて容量設定回路により積分回路の積分容量部の容量が設定される。

10 その後、積分回路において、光検出素子で発生した電荷が積分容量部に蓄積されて、この蓄積された電荷の量に応じた値の電圧が出力される。入射光強度が大きい場合には、積分回路の可変容量部の容量は比較的大きな値に設定され、出力電圧＝電荷量／容量であるので、電荷量の変化に対する電圧の変化が低くなり、積分回路の出力をA／D変換をした場合には分解能は低くなるが、入射光強度が大きくても飽和することなく入射光強度が検出される。
15

一方、入射光強度が小さい場合には、積分回路の可変容量部の容量は比較的小さな値に設定され、電荷量の変化に対する電圧の変化が大きくなり、高い分解能で、すなわち、入射光強度が小さくても感度よく入射光強度を検出することができる。

20 また、本発明に係る光検出装置は、積分回路から出力された電圧をA／D変換してデジタル信号を出力するA／D変換回路を更に備えることを特徴とする。この場合には、積分回路から出力された電圧は、A／D変換に入力してデジタル信号に変換され、このデジタル信号が出力される。

また、本発明に係る光検出装置は、A／D変換回路から出力されたデジタル信号を入力し、電荷量レベル判定回路により判定された電荷量レベルに応じてデジタル信号のビットをシフトして出力するシフト回路を更に備えることを特徴とす
25

る。この場合には、A/D変換回路から出力されたデジタル信号は、シフト回路により、電荷量レベル判定回路により判定された電荷量レベルに応じてビットがシフトされて出力される。

また、本発明に係る光検出装置では、(1) 積分容量部は、第1容量または第2容量に設定が可能であって、第1容量が第2容量の 2^n 倍 (n は1以上の整数)であり、(2) A/D変換回路は、n以上のビット数のデジタル信号を出力する、ことを特徴とする。この場合には、A/D変換回路から出力されたデジタル信号を必要に応じてnビットの桁上げすることで、これにより得られるデジタル信号の値は入射光強度に対して線形性が優れるものとなる。

10 図面の簡単な説明

図1は本実施形態に係る光検出装置1の概略構成図である。

図2は本実施形態に係る光検出装置1の積分回路10、電荷量レベル判定回路20及び容量設定回路30の回路図である。

図3Aは、本実施形態に係る光検出装置1のシフト回路200の回路図である。

図3B及び図3Cは、シフト回路200から出力されるデジタル信号の2つのパターンを示す図である。

図4A、図4B、図4C、図4D、図4E、図4F、図4G、図4H、図4I、図4J、図4K、図4Lは、本実施形態に係る光検出装置1の動作を説明するタイミングチャートである。

図5は本実施形態に係る光検出装置1のシフト回路200から出力される12ビット・デジタル信号の値と入射光強度との関係を示すグラフである。

図6は別の実施形態に係る光検出装置1の概略構成図である。

図7は本実施形態に係る光検出装置1の積分回路10、判定回路20及び容量設定回路30の回路図である。

図8はA/D変換回路40の回路図である。

図9は別のA/D変換回路40の回路図である。

図10AスイッチSW110の開閉を示すタイミングチャートである。

図10BはスイッチSW120の開閉を示すタイミングチャートである。

発明を実施するための最良の形態

以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面
5 の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

図1は、本実施形態に係る光検出装置1の概略構成図である。この光検出装置
1は、M個（Mは2以上の整数）のユニット₁～_M、シフト回路20
0及び制御回路300を備える。M個のユニット₁～_Mそれぞれは、
互いに同一の構成であって、複数組のフォトダイオード（光検出素子）PD及び
10 スイッチSW、積分回路10、電荷量レベル判定回路20、容量設定回路30、
A/D変換回路40、ならびに、スイッチSW₅₁及びSW₅₂を備える。

各ユニット_m（mは1以上M以下の任意の整数）の各フォトダイオード
PDは、アノード端子が接地され、カソード端子がスイッチSWを介して積分回
路10の入力端と接続されており、また、そのカソード端子がキャパシタCdを
15 介して接地されている。キャパシタCdは、フォトダイオードPDにおける接合
容量であってもよいし、これとは別に設けられたものであってもよい。

各フォトダイオードPDは、カソード端子に接続されたスイッチが開いている
ときには、入射した光の強度に応じた量の電荷を発生してキャパシタCvに蓄積
し、このスイッチが閉じているときには、キャパシタCvに蓄積した電荷を積分
20 回路10及び電荷量レベル判定回路20それぞれへ出力する。なお、図1中でC
vと表されているのは、積分回路10の入力端に接続された配線が有している容
量である。

各ユニット_mの積分回路10は、容量が可変である積分容量部を有して
おり、フォトダイオードPDで発生した電荷を積分容量部に蓄積して、この蓄積
25 した電荷の量に応じた値の電圧をA/D変換回路40へ出力する。各ユニット₁
～_Mの電荷量レベル判定回路20は、フォトダイオードPDで発生した電荷量

(レベル) を判定し、この判定の結果を表す電荷量レベル信号 Level を容量設定回路 30 へ出力すると共に、この電荷量レベル信号 Level をスイッチ SW₅₂ を介してシフト回路 200 へ出力する。

各ユニット 100_m の容量設定回路 30 は、電荷量レベル判定回路 20 から出力された電荷量レベル信号 Level を入力し、積分回路 10 における電荷蓄積動作の開始に先立って、電荷量レベル信号 Level に基づいて積分回路 10 の積分容量部の容量を設定する。各ユニット 100_m の A/D 変換回路 40 は、積分回路 10 から出力された電圧を入力し、この電圧を A/D 変換してデジタル信号とし、このデジタル信号をスイッチ SW₅₁ を介してシフト回路 200 へ出力する。

シフト回路 200 は、各ユニット 100_m の A/D 変換回路 40 からスイッチ SW₅₁ を介して順次に出力されたデジタル信号を入力するとともに、各ユニット 100_m の電荷量レベル判定回路 20 からスイッチ SW₅₂ を介して順次に出力された電荷量レベル信号 Level をも入力する。そして、シフト回路 200 は、電荷量レベル信号 Level の値に応じてデジタル信号のビットをシフトして、このシフトしたデジタル信号を出力する。

制御回路 300 は、この光検出装置 1 の全体の動作を制御するものであって、各フォトダイオード PD に接続されたスイッチ SW、スイッチ SW₅₁、スイッチ SW₅₂、及び、積分回路 10 等の内部にある各スイッチそれぞれの開閉を制御する制御信号を出力する。なお、図 1 では、制御回路 300 から他の要素回路へ送られる制御信号の図示を省略している。

次に、各要素回路の詳細について説明する。

図 2 は、本実施形態に係る光検出装置 1 の積分回路 10、電荷量レベル判定回路 20 及び容量設定回路 30 の回路図である。

各ユニット 100_m の積分回路 10 は、アンプ A₁₀、スイッチ SW₁₀～SW₁₃、キャパシタ Cf₁₁ 及び Cf₁₂ ならびに論理和回路 11 を有している。アンプ A₁

0は、反転入力端子がスイッチSW₁₀を介して積分回路10の入力端に接続されており、非反転入力端子に一定電圧V_{1np}が印加されており、出力端子が積分回路10の出力端に接続されている。

5 スイッチSW₁₀は、アンプA₁₀の反転入力端子と出力端子との間に設けられている。スイッチSW₁₁及びキャパシタCf₁₁は、互いに直列的に接続された上で、アンプA₁₀の反転入力端子と出力端子との間に設けられている。スイッチSW₁₂及びキャパシタCf₁₂も、互いに直列的に接続された上で、アンプA₁₀の反転入力端子と出力端子との間に設けられている。キャパシタCf₁₁の容量は、キャパシタCf₁₂の容量より大きい。

10 スイッチSW₁₀は、制御回路300から出力された第1リセット信号Reset1に基づいて開閉する。スイッチSW₁₁及びSW₁₂それぞれは、容量設定回路30から出力された制御信号に基づいて開閉する。論理和回路11は、制御回路300から出力された第2リセット信号Reset2及び積分開始指示信号Startを入力し、これら2つの論理信号の論理和を出力する。そして、スイッチSW₁₃は、論理和回路11から出力された論理信号に基づいて開閉する。

15 積分回路10において、スイッチSW₁₁及びSW₁₂ならびにキャパシタCf₁₁及びCf₁₂により、容量が可変である可変容量部を構成している。すなわち、スイッチSW₁₁及びSW₁₂のうち何れが閉じるかに応じて、アンプA₁₀の反転入力端子と出力端子との間の帰還容量の値は、容量Cf₁₁及びCf₁₂の何れかの値となる。

20 各ユニット100_mの電荷量レベル判定回路20は、比較回路21、論理反転回路22、NAND回路23及びNAND回路24を有している。比較回路21は、反転入力端子が電荷量レベル判定回路20の入力端と接続されており、非反転入力端子に基準電圧V_{ref}が印加されている。そして、比較回路21は、電荷量レベル判定回路20の入力端の電位と基準電圧V_{ref}とを大小比較して、電荷量レベル判定回路20の入力端の電位の方が大きい場合には論理レベルLの論理

信号を出力端子に出力し、そうでない場合には論理レベルHの論理信号を出力端子に出力する。論理反転回路22は、制御信号300から出力された第1リセット信号Reset1を入力し、この信号を論理反転して出力する。なお、比較回路21の非反転入力端子に印加される基準電圧V_{ref}は、以下の式のように設定5
されている。

$$V_{ref} = (Cf_{12} \cdot V_{sat}) / (Cd + Cv) \quad \dots(1)$$

ここで、V_{sat}は、容量が小さいキャパシタCf₁₂が飽和する量の電荷量が蓄積されたときの飽和電圧である。

NAND回路23は、比較回路21及びNAND回路24それから出力された論理信号を入力し、これら2つの論理信号の論理積を論理反転して出力する。NAND回路24は、論理反転回路22及びNAND回路23それから出力された論理信号を入力し、これら2つの論理信号の論理積を論理反転して出力する。すなわち、NAND回路23及びNAND回路24は、比較回路21から出力された論理信号をラッチする。これにより、電荷量レベル判定回路20は、フォトダイオードPDで発生した電荷のレベルを判定し、この判定の結果を表す電荷量レベル信号LevelをNAND回路24より出力する。
10
15

各ユニット100_mの容量設定回路30は、論理反転回路31、論理和回路32及び論理和回路33を有している。

論理反転回路31は、電荷量レベル判定回路20から出力された電荷量レベル信号Levelを入力し、この信号を論理反転して出力する。
20

論理和回路32は、制御信号300から出力された第2リセット信号Reset2と、電荷量レベル判定回路20から出力された電荷量レベル信号Levelとを入力し、これら2つの論理信号の論理和を出力する。

論理和回路33は、制御信号300から出力された第2リセット信号Reset₂と、論理反転回路31から出力された論理信号とを入力し、これら2つの論理信号の論理和を出力する。

そして、積分回路10のスイッチSW₁₁は、容量設定回路30の論理和回路32から出力された論理信号に基づいて開閉し、また、積分回路10のスイッチSW₁₂は、容量設定回路30の論理和回路33から出力された論理信号に基づいて開閉する。

図3Aは、本実施形態に係る光検出装置1のシフト回路200の回路図、図3B及び図3Cは、シフト回路200から出力されるデジタル信号の2つのパターンを示す図である。以下では、各ユニット100_mの積分回路10のキャパシタCf₁₁の容量がキャパシタCf₁₂の容量の16(=2⁴)倍とする。また、各ユニット100_mのA/D変換回路40が8ビットのデジタル信号D₇～D₀を出力するものとする。

シフト回路200は、12個のセレクタ201～212を有している。これらセレクタ201～212それぞれは、A入力端子及びB入力端子を有し、また、電荷量レベル判定回路20から出力された電荷量レベル信号Levelを入力する端子をも有している。そして、セレクタ201～212それぞれは、電荷量レベル信号Levelが論理レベルHであるときには、A入力端子に入力した論理レベルを出力端子に出力し、電荷量レベル信号Levelが論理レベルLであるときには、B入力端子に入力した論理レベルを出力端子に出力する。

セレクタ201は、論理レベルLをA入力端子に入力し、A/D変換回路40から出力された8ビットのデジタル信号のうち最下位ビットD₀をB入力端子に入力する。

セレクタ202は、論理レベルLをA入力端子に入力し、A/D変換回路40から出力された8ビットのデジタル信号のうちビットD₁をB入力端子に入力する。

セレクタ 203 は、論理レベル L を A 入力端子に入力し、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうちビット D₂ を B 入力端子に入力する。

セレクタ 204 は、論理レベル L を A 入力端子に入力し、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうちビット D₃ を B 入力端子に入力する。
5

セレクタ 205 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうち最下位ビット D₀ を A 入力端子に入力し、ビット D₄ を B 入力端子に入力する。

10 セレクタ 206 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうちビット D₁ を A 入力端子に入力し、ビット D₅ を B 入力端子に入力する。

セレクタ 207 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうちビット D₂ を A 入力端子に入力し、ビット D₆ を B 入力端子に入力する。

15 セレクタ 208 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうちビット D₃ を A 入力端子に入力し、最上位ビット D₇ を B 入力端子に入力する。

セレクタ 209 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうちビット D₄ を A 入力端子に入力し、論理レベル L を B 入力端子に入力する。

20 セレクタ 210 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうちビット D₅ を A 入力端子に入力し、論理レベル L を B 入力端子に入力する。

セレクタ 211 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信号のうちビット D₆ を A 入力端子に入力し、論理レベル L を B 入力端子に入力する。
25

セレクタ 212 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信

号のうち最上位ビット D_7 を A 入力端子に入力し、論理レベル L を B 入力端子に入力する。

すなわち、電荷量レベル判定回路 20 から出力された電荷量レベル信号 Level 1 が論理レベル H であるときには、12 個のセレクタ 201～212 を有する 5 シフト回路 200 は、12 ビットのデジタル信号 ($D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0, 0, 0, 0, 0$) を出力する (図 3B)。

一方、電荷量レベル信号 Level 1 が論理レベル L であるときには、このシフト回路 200 は、12 ビットのデジタル信号 (0, 0, 0, 0, $D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$) を出力する (図 3C)。

10 このように、シフト回路 200 は、A/D 変換回路 40 から出力された 8 ビットのデジタル信号を入力し、電荷量レベル信号 Level 1 が論理レベル H であるときに、積分回路 10 のキャバシタ $C_{f_{11}}$ 及び $C_{f_{12}}$ それぞれの容量の比 16 (= 2^4) に応じたビット数 4 だけデジタル信号を桁上げして、12 ビットのデジタル信号を出力する。

15 次に、本実施形態に係る光検出装置 1 の動作について説明する。図 4A、図 4B、図 4C、図 4D、図 4E、図 4F、図 4G、図 4H、図 4I、図 4J、図 4K、図 4L は、本実施形態に係る光検出装置 1 の動作を説明するタイミングチャートである。

時刻 t_1 以前には、制御回路 300 から出力される第 1 リセット信号 Reset 1、第 2 リセット信号 Reset 2 及び積分開始指示信号 Start それぞれ 20 は論理レベル L である (図 4A、図 4B、図 4C)。また、各フォトダイオード PD に接続されたスイッチ SW は全て開いている (図 4D)。

時刻 t_1 に、制御回路 300 から出力される第 1 リセット信号 Reset 1 及び第 2 リセット信号 Reset 2 それぞれが論理レベル H となる (図 4A、図 4B)。これにより、積分回路 10 の論理和回路 11 から出力される論理信号が論理レベル H となり、容量設定回路 30 の論理回路 32 及び 33 それぞれから出力さ 25

れる論理信号も論理レベルHとなる。そして、積分回路10のスイッチSW₁₀～SW₁₂それぞれが閉じて、キャパシタCf₁₁及びCf₁₂それぞれが放電されて初期化される(図4E～図4G)。また、積分回路10のスイッチSW₁₃が閉じて、各フォトダイオードPDに接続されたスイッチを共通に接続する配線の電位は、積分回路10のアンプA₁₀の非反転入力端子に印加された一定電圧V_{in,p}となり、また、この一定電圧V_{in,p}が電荷量レベル判定回路20の入力端に入力される(図4H)。

その後、時刻t₂に、第2リセット信号Reset2が論理レベルLとなり、積分回路10のスイッチSW₁₃が開く(図4H)。時刻t₃に、第1リセット信号Reset1が論理レベルLとなり、積分回路10のスイッチSW₁₀が開き、積分回路10は積分動作が可能な状態となる(図4E)。

時刻t₄に、何れかのフォトダイオードPDに接続されたスイッチSWは閉じる。これにより、電荷量レベル判定回路20への入力信号の値は、これまでのV_{in,p}から、以下の式で表されるV_{video}へ変化する(図4I)。

$$V_{\text{video}} = (I_{sh} \cdot T_{int}) / (Cd + Cv) \quad \cdots(2)$$

15

ここで、I_{sh}は、入射した光の強度に応じてフォトダイオードPDに流れる光電流の大きさであり、T_{int}は、そのフォトダイオードPDに接続されたスイッチSWが開いていた期間であり、これらの積I_{sh}・T_{int}は、その期間T_{int}にキャパシタCdに蓄積された電荷の量である。電荷量レベル判定回路20では、比較回路21により、上記の入力信号電圧V_{video}と基準電圧V_{ref}とが大小比較され、フォトダイオードPDで発生した電荷のレベルが判定される。そして、NAND回路23及び24により、その比較結果がラッチされて、NAND回路24より、フォトダイオードPDで発生した電荷のレベルを判定した結果を表す

電荷量レベル信号 Level が output される (図 4 J)。

もし、入射光強度が大きく、電荷量レベル判定回路 20 への入力信号電圧 V_{vi} _{de} が基準電圧 V_{ref} より小さい場合には、比較回路 21 より出力される論理信号は論理レベル H となり、電荷量レベル信号 Level は論理レベル H となる。

5 そして、容量設定回路 30 の論理和回路 32 から出力される論理信号は論理レベル H となって、積分回路 10 のスイッチ SW₁₁ は閉じる。

また、容量設定回路 30 の論理和回路 33 から出力される論理信号は論理レベル L となって、積分回路 10 のスイッチ SW₁₂ は開く。これにより、積分回路 10 における積分容量部の容量は、比較的大きな値の C_{f11} となる。時刻 t₅ に、
10 制御回路 300 から出力される積分開始指示信号 Start の論理レベルは、一旦 H になった後に L になる。

これにより、積分回路 10 のスイッチ SW₁₃ が一旦閉じた後に開く。スイッチ SW₁₃ が閉じると、フォトダイオード PD における入射光強度に応じた量 ($I_{sh} \cdot T_{int}$) の電荷はキャパシタ C_{f11} に蓄積され、積分回路 10 から出力される電圧 V_c は、以下の式のようになる (図 4 K)。
15

$$V_c = (I_{sh} \cdot T_{int}) / C_{f11} \quad \cdots(3)$$

そして、この電圧 V_c は、A/D 変換回路 40 によりデジタル信号 (D₇ ~ D₀) に変換される。

一方、入射光強度が小さく、電荷量レベル判定回路 20 への入力信号電圧 V_{vi} _{de} が基準電圧 V_{ref} より大きい場合には、比較回路 21 より出力される論理信号は論理レベル L となり、電荷量レベル信号 Level は論理レベル L となる。
20 そして、容量設定回路 30 の論理和回路 32 から出力される論理信号は論理レベル L となって、積分回路 10 のスイッチ SW₁₁ は開く。また、容量設定回路 30

の論理和回路33から出力される論理信号は論理レベルHとなって、積分回路10のスイッチSW₁₂は閉じる。これにより、積分回路10における積分容量部の容量は、比較的小さな値のCf₁₂となる。時刻t₅に、制御回路300から出力される積分開始指示信号Startの論理レベルは、一旦Hになった後にLになる。これにより、積分回路10のスイッチSW₁₃が一旦閉じた後に聞く。スイッチSW₁₃が閉じると、フォトダイオードPDにおける入射光強度に応じた量(I_{sh}・T_{int})の電荷はキャパシタCf₁₂に蓄積され、積分回路10から出力される電圧の値V_cは、

$$V_c = (I_{sh} \cdot T_{int}) / C f_{12} \quad \cdots(4)$$

となる。そして、この電圧V_cは、A/D変換回路40によりデジタル信号(D₇～D₀)に変換される。

以上までの動作は、ユニット100₁～100_Mそれぞれで並列的に行われる。その後、制御回路300により制御されて各ユニット100_mのスイッチSW₅₁及びSW₅₂が順次に閉じ、A/D変換回路40より出力されたデジタル信号(D₇～D₀)と、電荷量レベル判定回路20より出力された電荷量レベル信号Levelとは、シフト回路200に入力する。そして、電荷量レベル信号Levelが論理レベルHであれば、シフト回路200に入力した8ビットデジタル信号が4ビットだけ桁上げされて、シフト回路200より12ビットデジタル信号(D₇, D₆, D₅, D₄, D₃, D₂, D₁, D₀, 0, 0, 0, 0)が出力される(図4L)。一方、電荷量レベル信号Levelが論理レベルLであれば、シフト回路200に入力した8ビットデジタル信号の上位に4桁の0が付加されて、シフト回路200より12ビットデジタル信号(0, 0, 0, 0, D₇, D₆, D₅, D₄, D₃, D₂, D₁, D₀)が出力される。

図5は、本実施形態に係る光検出装置1のシフト回路200から出力される12ビットデジタル信号の値と入射光強度との関係を示すグラフである。電荷量レベル判定回路20への入力信号電圧 V_{video} が基準電圧 V_{ref} より大きい場合(すなわち、電荷量レベル信号Levelが論理レベルHである場合)には、積分回路10の可変容量部の容量は比較的大きな値 Cf_{11} となり、入射光強度が大きい場合であっても飽和することなく入射光強度が検出される。一方、電荷量レベル判定回路20への入力信号電圧 V_{video} が基準電圧 V_{ref} より小さい場合(すなわち、電荷量レベル信号Levelが論理レベルLである場合)には、積分回路10の可変容量部の容量は比較的小さな値 Cf_{12} となり、入射光強度が小さい場合であっても感度よく入射光強度が検出される。

このように、本実施形態に係る光検出装置1は、フォトダイオードPD毎に積分回路10の可変容量部の容量を適切かつ迅速に設定することができるので、画素毎の入射光強度検出のダイナミックレンジが広く高速に入射光強度を検出することができる。

なお、本実施形態に係る光検出装置1では、積分回路10のキャパシタ Cf_{11} の容量がキャパシタ Cf_{12} の容量の16($=2^4$)倍であるとし、A/D変換回路40が8ビットのデジタル信号を出力するものとし、また、シフト回路200が必要に応じてデジタル信号を4ビットの桁上げすることにした。一般に、積分回路10のキャパシタ Cf_{11} の容量がキャパシタ Cf_{12} の容量の 2^n 倍(n は1以上の整数)であるとし、A/D変換回路40がn以上のビット数のデジタル信号を出力するものとし、また、シフト回路200が必要に応じてデジタル信号をnビットの桁上げすることにするのが好適である。

このようにすることで、シフト回路200から出力されるデジタル信号の値は、入射光強度に対して線形性が優れるものとなる。

上記実施形態は種々の変形が可能である。例えば、各要素回路の構成は他の様のものが可能である。特に、積分回路10の可変容量部の具体的回路構成は、

上記実施形態のものに限られず、他の構成の回路が可能である。積分回路10の可変容量部がとり得る容量は、上記実施形態の如く2段階に限られるものではなく3段階以上であってもよく、この段階数に応じて電荷量レベル判定回路20及び容量設定回路30それぞれの回路は適切に構成される。

5 シフト回路200は必ずしも必要ではない。コンピュータ等のデータ処理装置が、A/D変換回路40から出力されたデジタル信号と、電荷量レベル判定回路20から出力された電荷量レベル信号Levelとを入力して、その後、必要な処理を行ってもよい。

10 A/D変換回路40も必ずしも必要ではない。データ処理装置が、積分回路10から出力された電圧を入力してA/D変換するとともに、電荷量レベル判定回路20から出力された電荷量レベル信号Levelをも入力して、その後、必要な処理を行ってもよい。

15 また、本実施形態に係る光検出装置1は、M個（Mは2以上の整数）のユニット $100_1 \sim 100_M$ それぞれが複数のフォトダイオードPDを有するものであって、複数のフォトダイオードPDが2次元配列されたものであり、2次元像を撮像し得るものであった。しかし、M=1とし、複数のフォトダイオードPDが1次元配列されたものとして、1次元像を撮像し得るものとしてもよい。さらに、M=1とし、1つのフォトダイオードPDを有するものとして、撮像するのではなく単に入射光強度を検出し得るものとしてもよい。このような場合にも、入射光強度が大きく変化する場合や高速に変化する場合であっても、入射光強度検出のダイナミックレンジが広く且つ高速に入射光強度を検出することができる。

20 以上、説明したように、上述の光検出装置は、光検出素子PDの出力に応じた積分回路10からのアナログ信号（電圧）が入力され、このアナログ信号の大きさを判定する判定回路20と、判定回路20の出力に応じた分解能で入力されたアナログ信号をデジタル信号に変換するAD変換手段10, 40とを備えるものであり、判定回路20には光検出素子PDの出力に応じたアナログ信号が入力さ

れ、これに基づくA/D変換手段10, 40の内部制御によってA/D変換動作を行うことができ、従来のように、デジタル化された映像信号輝度に基づいてA/D変換手段の分解能を制御するものではないため、高速制御が可能となる。

上記実施形態においては、A/D変換手段が、光検出素子PDの後段に接続されるキャパシタ群Cf₁₁, Cf₁₂をオペアンプA₁₀の入出力端子間に並列接続してなる積分回路10と、キャパシタ群Cf₁₁, Cf₁₂の電荷蓄積動作の開始前に、判定回路20の出力に応じてオペアンプA₁₀の入出力端子間のキャパシタ群Cf₁₁, Cf₁₂の合成容量を設定する容量設定回路とを備えるものであって、上述のように高速にダイナミックレンジを変えることができるものであった。

一般に、電圧=電荷量/容量の関係がある。したがって、入射光強度の増加に伴って、合成容量を増加させると、電荷量の変化に対する積分回路の出力電圧の変化が小さくなり、変換の分解能は低くなるが、入射光強度が大きくても出力電圧が飽和することなく入射光強度が検出される。また、一方、入射光強度の低下に伴って、合成容量を低下させると、電荷量の変化に対する積分回路の出力電圧の変化が大きくなり、変換の分解能を高くすることができる。

図6は別の実施形態に係る光検出装置1の概略構成図である。本実施形態の光検出装置1と上述の実施形態に係る光検出装置とは以下の2つの点においてのみ異なる。すなわち、第1の相違点は、本実施形態においては、積分回路10の容量は可変でない点である。第2の相違点は積分回路10の容量が固定である代わりにA/D変換回路40のA/D変換分解能及びダイナミックレンジが相補的に可変であって、電荷量レベル判定回路20の出力に応じて分解能及びダイナミックレンジが設定されることである。以下、詳説する。

この光検出装置も上述の実施形態に係る光検出装置と同様であり、A/D変換回路40に、光検出素子PDの出力に応じた積分回路10からのアナログ信号(電圧)が入力されるが、判定回路20は光検出素子の出力に応じたアナログ出力の大きさを判定する。A/D変換手段10, 40は、判定回路20の出力に応じた分

解能で入力されたアナログ信号をデジタル信号に変換する。

このA/D変換の分解能は、A/D変換のダイナミックレンジとは相反する特性を有するものである。すなわち、所定範囲の大きさを有するアナログ信号を1つのデジタル信号に変換する場合、その範囲が小さく設定できる方が分解能は高いのであるが、A/D変換にキャパシタを用いた場合、電荷量の変化に対する電圧変化率は容量の逆数に比例するため、換言すれば、蓄積可能な電荷量が小さいキャパシタを用いた方が、分解能は高くすることができる。一方で、蓄積可能な電荷量は小さいので、ダイナミックレンジは狭くなる。蓄積可能な電荷量を増加させるためには、キャパシタ両端間の電圧を増加させるか、容量自体を増加させればよい。

光検出素子PDへの入射光強度が大きい場合には、光検出素子の出力に応じたアナログ信号が入力される判定回路20でその旨を判定し、判定回路20の出力に応じた分解能でA/D変換を行うことで、分解能を低下させても高強度側のダイナミックレンジを確保することができる。

また、光検出素子PDへの入射光強度が小さい場合には判定回路20でその旨を検出し、判定回路20の出力に応じた分解能でA/D変換を行うことで、高強度側のダイナミックレンジが狭くなるものの、分解能は高くすることができる。もちろん、この場合、入射光強度が低いので本質的には高強度側はA/D変換が行えなくてもよい。

上述の実施形態と同様に、判定回路20には光検出素子PDの出力に応じたアナログ信号が入力され、判定回路20の出力に基づいてA/D変換を制御する。これは、従来のように、デジタル化された映像信号輝度に基づいてA/D変換手段の分解能を制御するものではないため、高速制御が可能となる。

図7は本実施形態に係る光検出装置1の積分回路10、判定回路20及び容量設定回路30の回路図である。本実施形態に係る光検出装置は図2に示したものと比較して、判定回路20の出力が積分回路10に入力されるのではなく、後段

のA/D変換回路40に入力される点のみが異なる。積分回路10は判定回路20の出力を利用しないので、図2に示したものと異なり、そのキャパシタはキャパシタ $C_{f_{12}}$ は1つのみである。もちろん、これは複数であってもよい。

容量設定回路30から出力される電圧のレベルは、光検出素子PDにおいて検出された入射光強度が所定値の前後で切り替わる。本例では、この信号の切り替わりを利用して、後段のA/D変換回路40のキャパシタに蓄積可能な電荷量を切り替え、A/D変換の分解能とダイナミックレンジを切り替える。上述のように、キャパシタに蓄積可能な電荷量を増加させるためには、キャパシタ両端間の電圧を増加させるか、容量 자체を増加させればよい。まず、キャパシタ両端間の電圧を増加させる構成について説明する。

図8はA/D変換回路40の回路図である。積分回路10から出力されたアナログ信号（電圧）はキャパシタ $40X$ を介してオペアンプ40Aの反転入力端子に入力される。オペアンプ40Aの入出力端子間に主キャパシタ C_{main} が介在しており、アナログ信号の大きさに応じた量の電荷が蓄積される。なお、主キャパシタに蓄積された電荷は C_{main} を短絡するスイッチSWCを閉じれば、リセットされる。

オペアンプ40Aの出力端子には、主キャパシタ C_{main} に蓄積された電荷に応じた電圧が発生し、この電圧は比較器40Bに入力される。主キャパシタ C_{main} に蓄積された電荷量が所定値よりも減少すると、比較器40Bへの入力電圧の絶対値が基準電圧 V_{com} よりも低下するので、比較器40Bの出力電圧はL（或いは設定によってはHレベル）レベルとなる。比較器40Bの出力電圧がLレベルとなるまで、容量制御部40Cはスイッチ $SW_{111} \sim SW_{114}$ 又はスイッチ $SW_{121} \sim SW_{124}$ が切り替わるように制御し、主キャパシタ C_{main} に蓄積された電荷を副キャパシタ群 $C_{s111} \sim C_{s114}$ 又は $C_{s121} \sim C_{s124}$ に移動させていく。本例では、副キャパシタ群 $C_{s111} \sim C_{s114}$ と $C_{s121} \sim C_{s124}$ は、容量も含めて同一構成であり、一方の群のみで兼用することができる。

例えば、スイッチ SW_{111} を参照電位 V_{ref2} に接続すると、主キャパシタ C_{main} に蓄積された電荷の一部分が副キャパシタ C_{s114} に移動し、比較器 40B への入力電圧が低下し、1つのビットを「1」に確定する。更に、下位のビットを確定するために、スイッチ SW_{112} を参照電位 V_{ref2} に接続し、この際に、主キャパシタ C_{main} からの電荷の移動によって比較器 40B への入力電圧が所定値を下回った場合には、容量制御部はスイッチ SW_{112} を切斷し、このビットを「0」に確定する。以下、同様に制御を切り替え制御を行うと、この制御量はアナログ信号の大きさに比例したものとなるため、制御量自体がデジタル信号となって容量制御部 40C から出力される。各キャパシタの容量は 2^n 倍おきに設定する。

A/D 変換動作は、まず、スイッチ SWC を閉じることで、主キャパシタ C_{main} に蓄積された電荷を放電し、しかる後、積分回路 10 からのアナログ信号（電圧）に比例した電荷を主キャパシタ C_{main} に蓄積する。判定回路 20 からは、いずれの参照電圧 V_{ref1} , V_{ref2} を使用するかどうかの指示がスイッチ SW_{110} , SW_{120} に入力される。いずれの参照電圧を利用するかどうかを決定する判定回路 20 及び容量設定回路 30 からの指示信号 S1, S2 は、光検出素子 PD への入射光強度に依存する。ここでは、入射光強度が高い場合には S1 が H レベル、低い場合には S2 が H レベルであるとし、これに応じて SW_{110} , SW_{120} が接続されるものとする。

要するに、入射光強度が高い場合には副キャパシタ群 $C_{s111} \sim C_{s114}$ を参照電圧 V_{ref2} に接続可能であり、入射光強度が低い場合には副キャパシタ群 $C_{s121} \sim C_{s124}$ を参照電圧 V_{ref1} に接続可能である。参照電圧が高い方が、より多くの電荷を接続されたキャパシタに蓄積することができるわけであるから、入射光強度が高い場合の方の参照電圧 V_{ref2} は、参照電圧 V_{ref1} よりも大きいということになる。なお、キャパシタの両端を共に同電位 V_{com} に接続した場合には電荷は蓄積されない。

本実施形態においては、A/D変換手段が、(1)光検出素子P Dの後段に接続される積分回路10と、(2)積分回路10の出力に比例した電荷が蓄積される主キヤバシタ C_{main} 、主キヤバシタ C_{main} に蓄積された電荷が移動して蓄積される複数の副キヤバシタ $C_{s111}, C_{s112}, C_{s113}, C_{s114}$ ($C_{s121}, C_{s122}, C_{s123}, C_{s124}$)及び複数の副キヤバシタ $C_{s111}, C_{s112}, C_{s113}, C_{s114}$ ($C_{s121}, C_{s122}, C_{s123}, C_{s124}$)への電荷の移動を制御し当該制御量をデジタル信号として出力する容量制御部40Cを有するA/D変換回路とを備えている。

判定回路20の出力に応じて副キヤバシタ $C_{s111}, C_{s112}, C_{s113}, C_{s114}$ ($C_{s121}, C_{s122}, C_{s123}, C_{s124}$)の個々に蓄積可能な電荷量が設定される(本例では、参照電圧を設定している)。すなわち、電荷量=容量×電圧なので、個々の副キヤバシタ $C_{s111}, C_{s112}, C_{s113}, C_{s114}$ ($C_{s121}, C_{s122}, C_{s123}, C_{s124}$)の両端間の電圧を制御すれば、蓄積可能な電荷量が変化し、分解能及びダイナミックレンジが変化する。この場合、上述の実施形態とは異なり、判定回路20の出力に基づいて、A/D変換回路側で分解能の調整を行っていることとなる。

本例においては、個々の副キヤバシタ $C_{s111}, C_{s112}, C_{s113}, C_{s114}$ ($C_{s121}, C_{s122}, C_{s123}, C_{s124}$)の両端に印加される電圧を判定回路20の出力に依存して決定し、副キヤバシタ $C_{s111}, C_{s112}, C_{s113}, C_{s114}$ ($C_{s121}, C_{s122}, C_{s123}, C_{s124}$)の個々に蓄積可能な電荷量を設定している。

すなわち、判定回路20からの出力S1によってスイッチSW110が接続されると、容量制御部30の制御によって、副キヤバシタ群 $C_{s111}, C_{s112}, C_{s113}, C_{s114}$ は、参照電圧Vref2に接続可能となる。要するに、それぞれのキヤバシタに蓄積可能な電荷量が参照電圧Vref2によって決定される。

同様に、判定回路20からの出力S2によってスイッチSW120が接続されると、容量制御部30の制御によって、副キヤバシタ群 $C_{s121}, C_{s122}, C_{s123}, C_{s124}$ は、参照電圧Vref2に接続可能となる。要するに、それぞれのキヤバシタに蓄積可能な電荷量が参照電圧Vref2によって決定される。

23, C_{S124} は、参照電圧 V_{ref1} に接続可能となる。要するに、蓄積可能な電荷量が参照電圧 V_{ref1} が確定することによって決定される。

あとは、こらのキャパシタに電荷を蓄積するかどうか、すなわち、主キャパシタ C_{main} から電荷を移動させるかどうかを、容量制御部 $40C$ が上述のように決定すれば、A/D変換が行われることとなる。

図10A及び図10Bは、スイッチ $SW110$ 、 $SW120$ の開閉を示すタイミングチャートである。例えば、入射光強度が高い場合、これらの $SW110$ 、 $SW120$ を時刻 t_1 から時刻 t_2 にかけて閉じた後、開放し、かかる後、時刻 t_4 以降に $SW110$ を接続することで、参照電圧 V_{ref2} を使用可能とする。参考電圧 V_{ref} が使用できれば、基準電圧 V_{com} との差に応じて副キャパシタ群 C_{S111} 、 C_{S112} 、 C_{S113} 、 C_{S114} に電荷が蓄積可能となり、ダイナミックレンジの広いA/D変換が行われることとなる。

一方、入射光強度が小さい場合には、参照電圧 V_{ref1} を使用可能とすることで、副キャパシタ群 C_{S121} 、 C_{S122} 、 C_{S123} 、 C_{S124} に電荷が蓄積可能となり、分解能の高いA/D変換が行われることとなる。

上記では蓄積可能な電荷量を、参照電圧を制御することで制御したが、これは複数のキャパシタを用意し、キャパシタ自身の容量を変えることで制御してもよい。

図9は別のA/D変換回路40の回路図である。

この場合、A/D変換手段は、(1)光検出素子PDの後段に接続される積分回路10と、(2)積分回路10の出力に比例した電荷が蓄積される主キャパシタ C_{main} 、主キャパシタ C_{main} に蓄積された電荷が移動して蓄積される複数の副キャパシタ C_{S111} 、 C_{S112} 、 C_{S113} 、 C_{S114} (C_{S121} 、 C_{S122} 、 C_{S123} 、 C_{S124})、及び、これらの複数の副キャパシタへの電荷の移動を制御し当該制御量をデジタル信号として出力する容量制御部 $40C$ を有するA/D変換回路とを備え、判定回路20の出力に応じて複数の副キャパシタから特定の容量群のキ

ヤバシタ群（例えば、 C_{S111} , C_{S112} , C_{S113} , C_{S114} ）を選択し、選択されたキャバシタ群に、容量制御部 40C の制御に従って主キャバシタ C_{main} から電荷を移動するものである。

図 9 に示した回路が図 8 に示した回路と異なる点は 2 点のみである。上記参照電圧 V_{ref1} , V_{ref2} が、共に同一の参照電圧 V_{ref} である点と、副キャバシタ群の個々の容量が異なる点のみである。図 8 に示したキャバシタ C_{S111} , C_{S112} , C_{S113} , C_{S114} の容量を、それぞれ C_p 、 $(C_p/2)$ 、 $(C_p/4)$ 、 $(C_p/8)$ とすると、本回路図におけるキャバシタ C_{S121} , C_{S122} , C_{S123} , C_{S124} の容量は、それぞれ C_q 、 $(C_q/2)$ 、 $(C_q/4)$ 、 $(C_q/8)$ である。すなわち、 C_p と C_q は異なる値である。ここでは $C_p > C_q$ であるとする。

動作は図 8 の回路と同一であり、一方の副キャバシタ群が使用できるように選択すると、参照電圧 V_{ref2} , V_{ref} を切り替えた場合と同様に、各副キャバシタ群のベースとなる容量 C_p , C_q が切り替わる。

上記の回路と同様に、入射光強度が高い場合、これらの SW110, SW120 を時刻 t_1 から時刻 t_2 にかけて閉じた後、開放し、かかる後、時刻 t_4 以降に SW110 を接続することで、ベースの容量 C_p の副キャバシタ群 C_{S111} , C_{S112} , C_{S113} , C_{S114} を使用可能とする。副キャバシタ群 C_{S111} , C_{S112} , C_{S113} , C_{S114} に蓄積できる電荷量は多いので、ダイナミックレンジの広い A/D 変換が行われることとなる。

一方、入射光強度が低い場合、時刻 t_4 以降に SW120 を接続することで、ベースの容量 C_q の副キャバシタ群 C_{S121} , C_{S122} , C_{S123} , C_{S124} を使用可能とする。副キャバシタ群 C_{S111} , C_{S112} , C_{S113} , C_{S114} に蓄積できる電荷量は少ないので、分解能の高い A/D 変換が行われることとなる。なお、入射光強度とシフト回路 200 からのデジタル出力との関係は図 5 に示したものと同様となる。

産業上の利用可能性

本発明は、光検出装置に利用することができる。

請求の範囲

1. 光検出素子の出力に応じたアナログ信号が入力され、当該アナログ信号の大きさを判定する判定回路と、前記判定回路の出力に応じた分解能で前記アナログ信号をデジタル信号に変換するA／D変換手段とを備えることを特徴とする光検出装置。
5
2. 前記A／D変換手段は、前記光検出素子の後段に接続されるキャパシタ群をオペアンプの入出力端子間に並列接続してなる積分回路と、前記キャパシタ群の電荷蓄積動作の開始前に、前記判定回路の出力に応じて前記入出力端子間の前記キャパシタ群の合成容量を設定する容量設定回路とを備えることを特徴とする請求の範囲第1項に光検出装置。
10
3. 前記A／D変換手段は、前記積分回路の出力をデジタル信号に変換するA／D変換回路を更に備えることを特徴とする請求の範囲第2項に記載の光検出装置。
15
4. 前記A／D変換回路から出力されたデジタル信号が入力され、前記判定回路の出力に応じて前記デジタル信号のビットをシフトして出力するシフト回路を更に備えることを特徴とする請求の範囲第3項に記載の光検出装置。
20
5. 前記合成容量は第1容量又は第2容量に設定可能であって且つ前記第1容量は前記第2容量の 2^n 倍（nは1以上の整数）であり、前記A／D変換回路はn以上のビット数のデジタル信号を出力することを特徴とする請求の範囲第3項に記載の光検出装置。
25
6. 前記A／D変換手段は、
前記光検出素子の後段に接続される積分回路と、
前記積分回路の出力に比例した電荷が蓄積される主キャパシタ、前記主キャパシタに蓄積された電荷が移動して蓄積される複数の副キャパシタ、及び前記複数の副キャパシタへの電荷の移動を制御し当該制御量を前記デジタル信号として出力する容量制御部を有するA／D変換回路とを備え、
前記判定回路の出力に応じて前記副キャパシタの個々に蓄積可能な電荷量が設

定されることを特徴とする請求の範囲第1項に光検出装置。

7. 個々の前記副キャパシタの両端に印加される電圧を前記判定回路の出力に依存して決定することで、前記副キャパシタの個々に蓄積可能な電荷量を設定することを特徴とする請求の範囲第6項に記載の光検出装置。

5 8. 前記A／D変換手段は、

前記光検出素子の後段に接続される積分回路と、

前記積分回路の出力に比例した電荷が蓄積される主キャパシタ、前記主キャパシタに蓄積された電荷が移動して蓄積される複数の副キャパシタ、及び前記複数の副キャパシタへの電荷の移動を制御し当該制御量を前記デジタル信号として出力する容量制御部を有するA／D変換回路とを備え、

前記判定回路の出力に応じて前記複数の副キャパシタから特定の容量群のキャパシタ群を選択し、選択されたキャパシタ群に、前記容量制御部の制御に従って前記主キャパシタから電荷を移動することを特徴とする請求の範囲第1項に光検出装置。

15 9. 光検出素子の後段に接続されるキャパシタ群をオペアンプの入出力端子間に並列接続してなる積分回路と、前記キャパシタ群の電荷蓄積動作の開始前に、前記光検出素子からの電荷量に応じて前記入出力端子間の前記キャパシタ群の合成容量を設定する容量設定回路とを備えることを特徴とする光検出装置。

10. 入射した光の強度に応じた量の電荷を発生し出力する光検出素子と、容量が可変である積分容量部を有し前記光検出素子で発生した電荷を前記積分容量部に蓄積し当該蓄積電荷の量に応じた値の電圧を出力する積分回路と、前記光検出素子で発生した電荷のレベルを判定する電荷量レベル判定回路と、前記積分回路における電荷蓄積動作の開始に先立って、前記電荷量レベル判定回路により判定された電荷量レベルに基づいて前記積分容量部の容量を設定する容量設定回路とを備えることを特徴とする光検出装置。

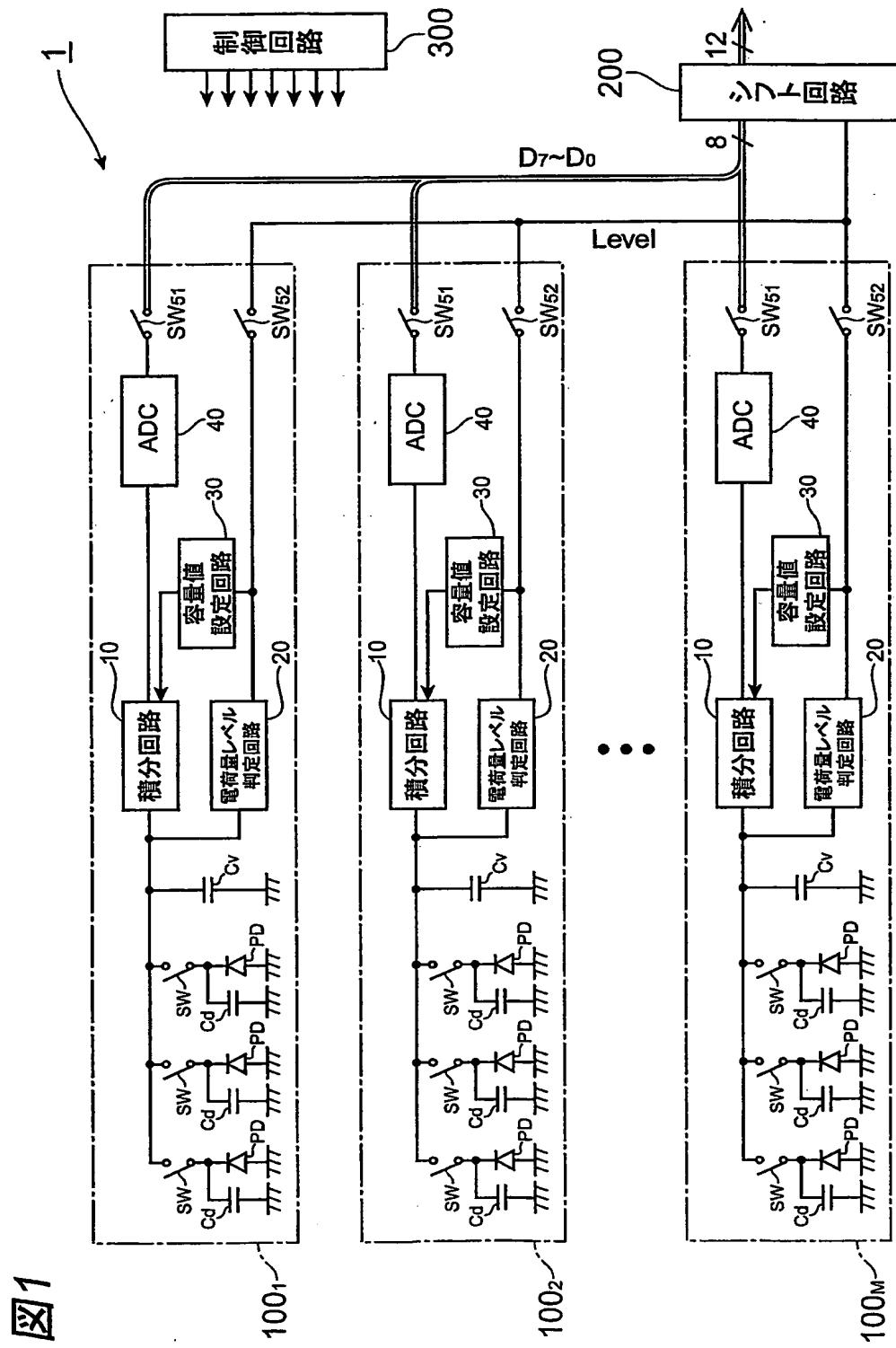


図2

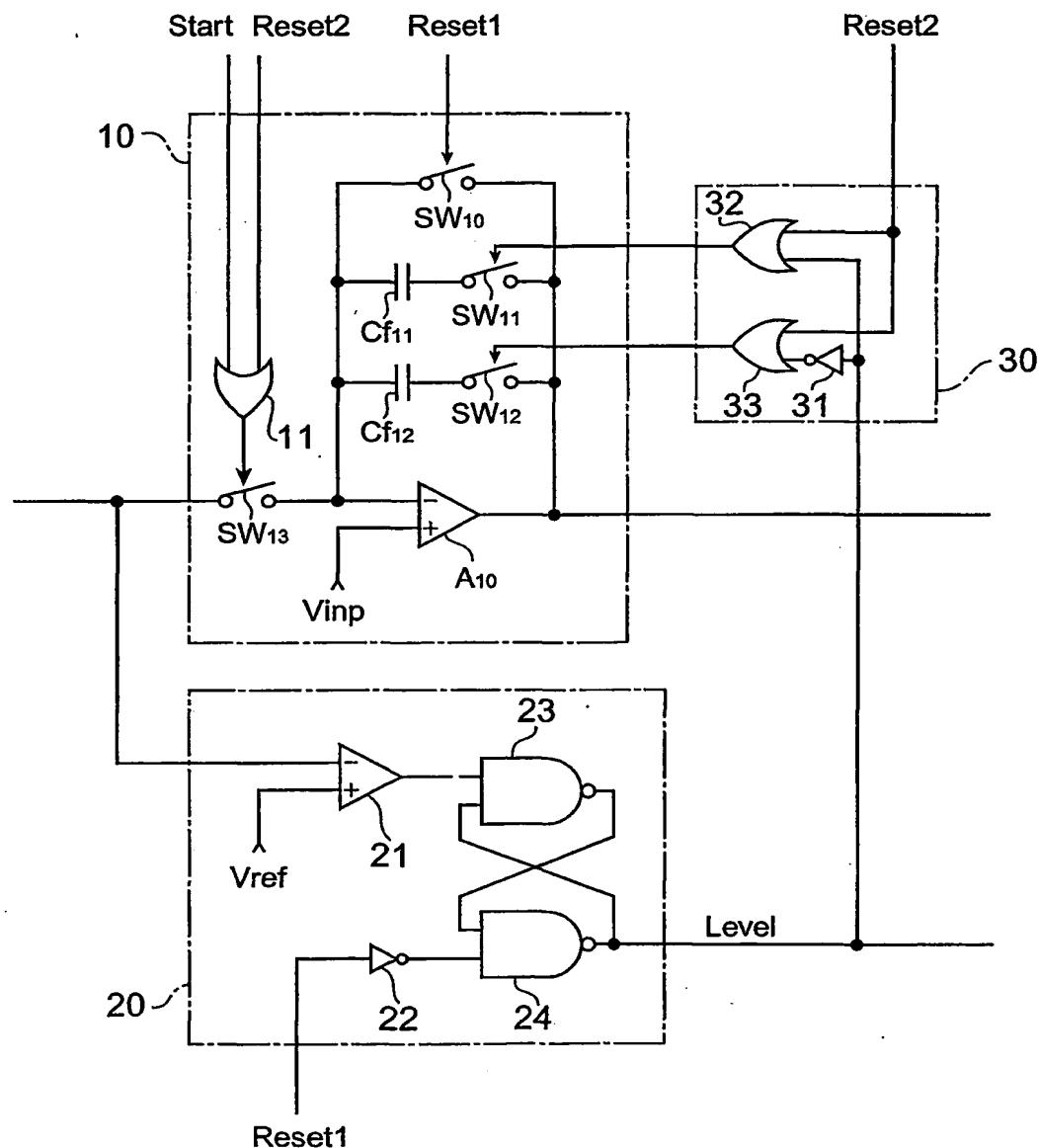


図3A

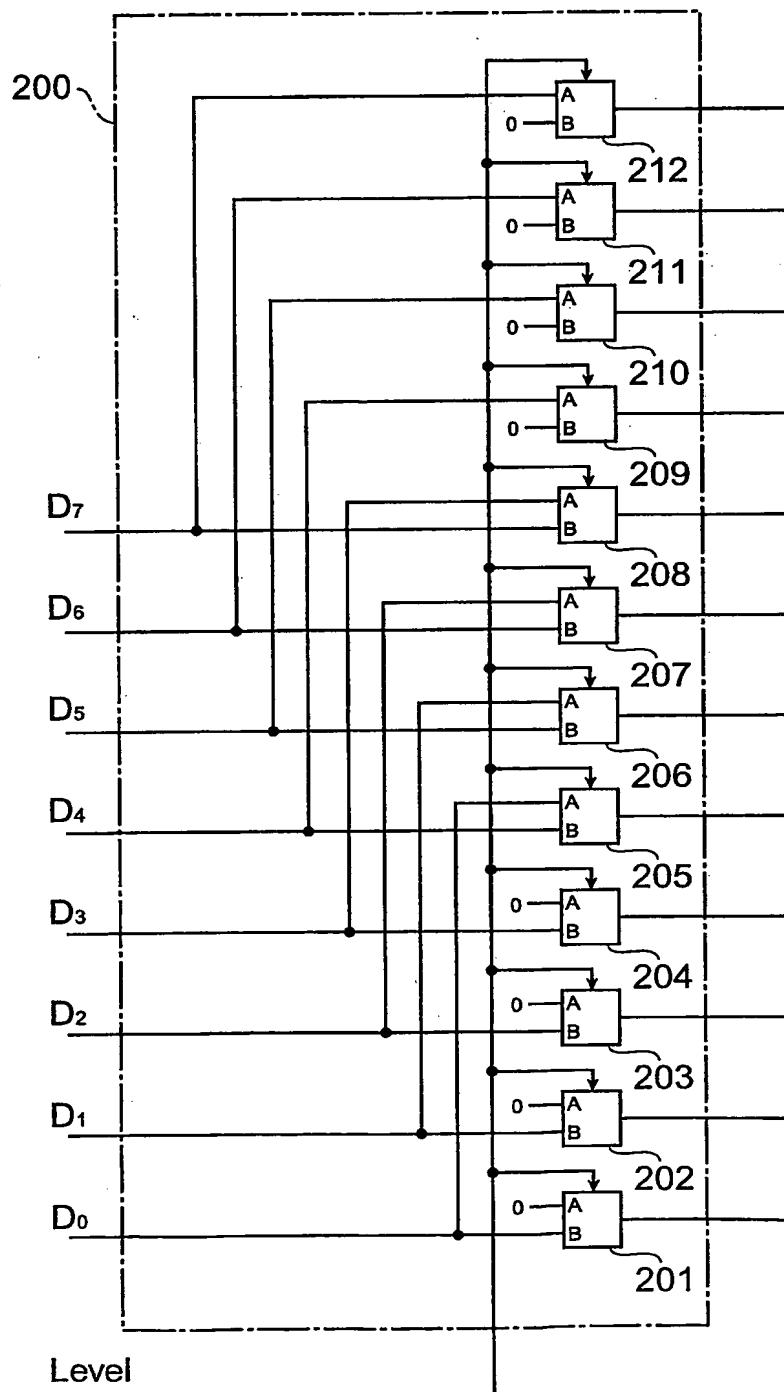
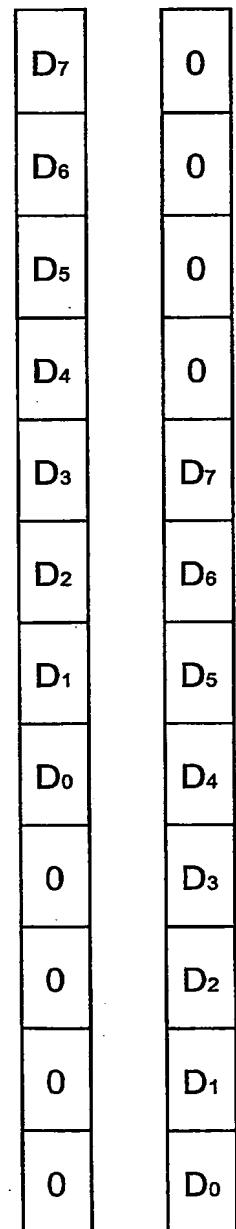


図3B 図3C



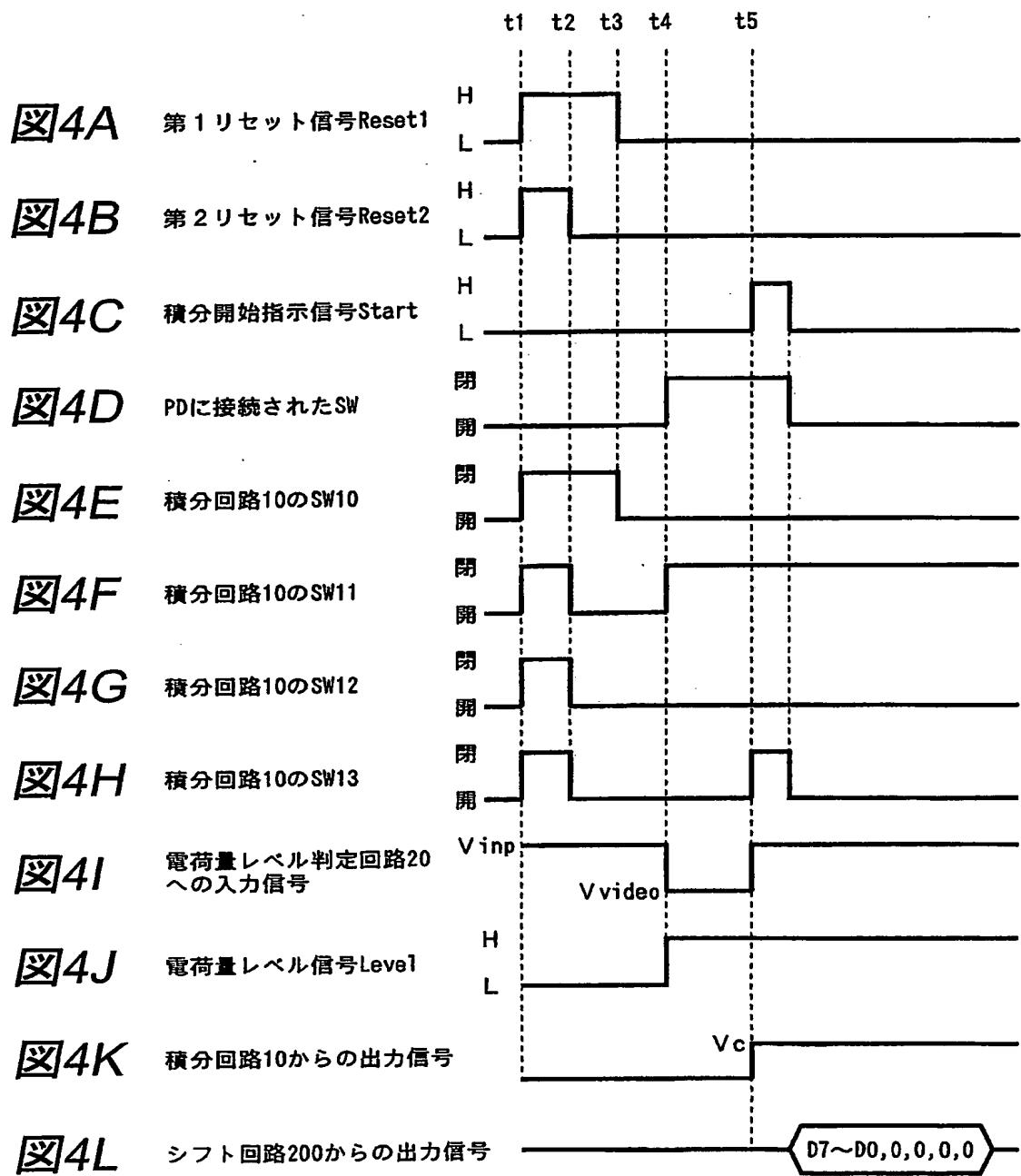


図5

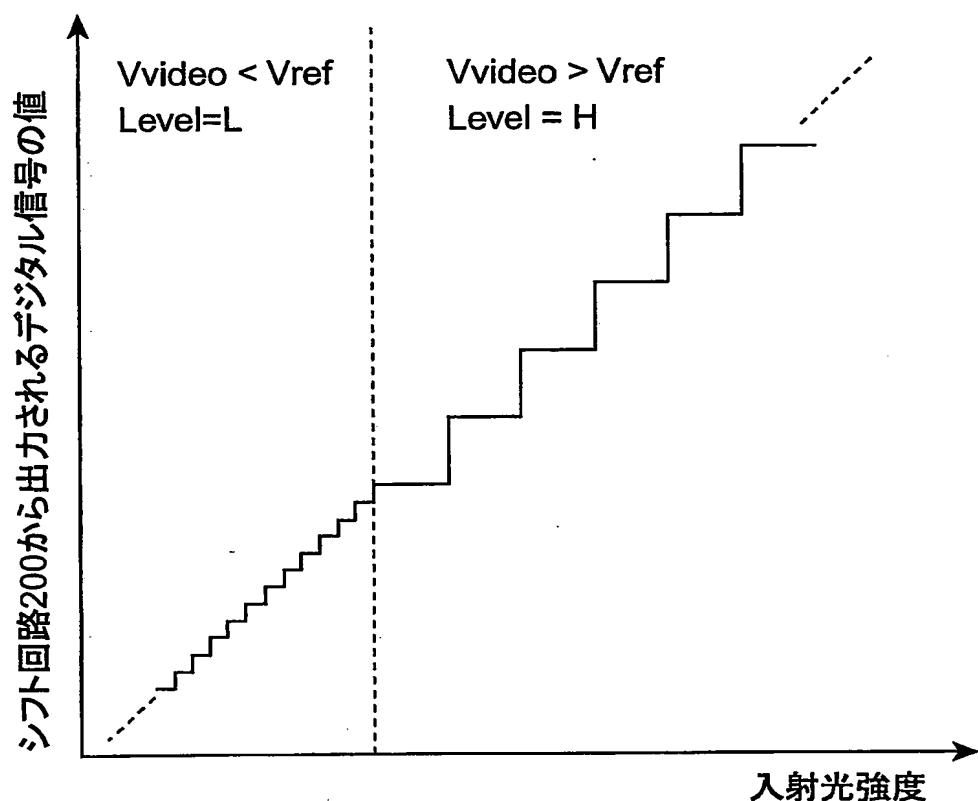


図6

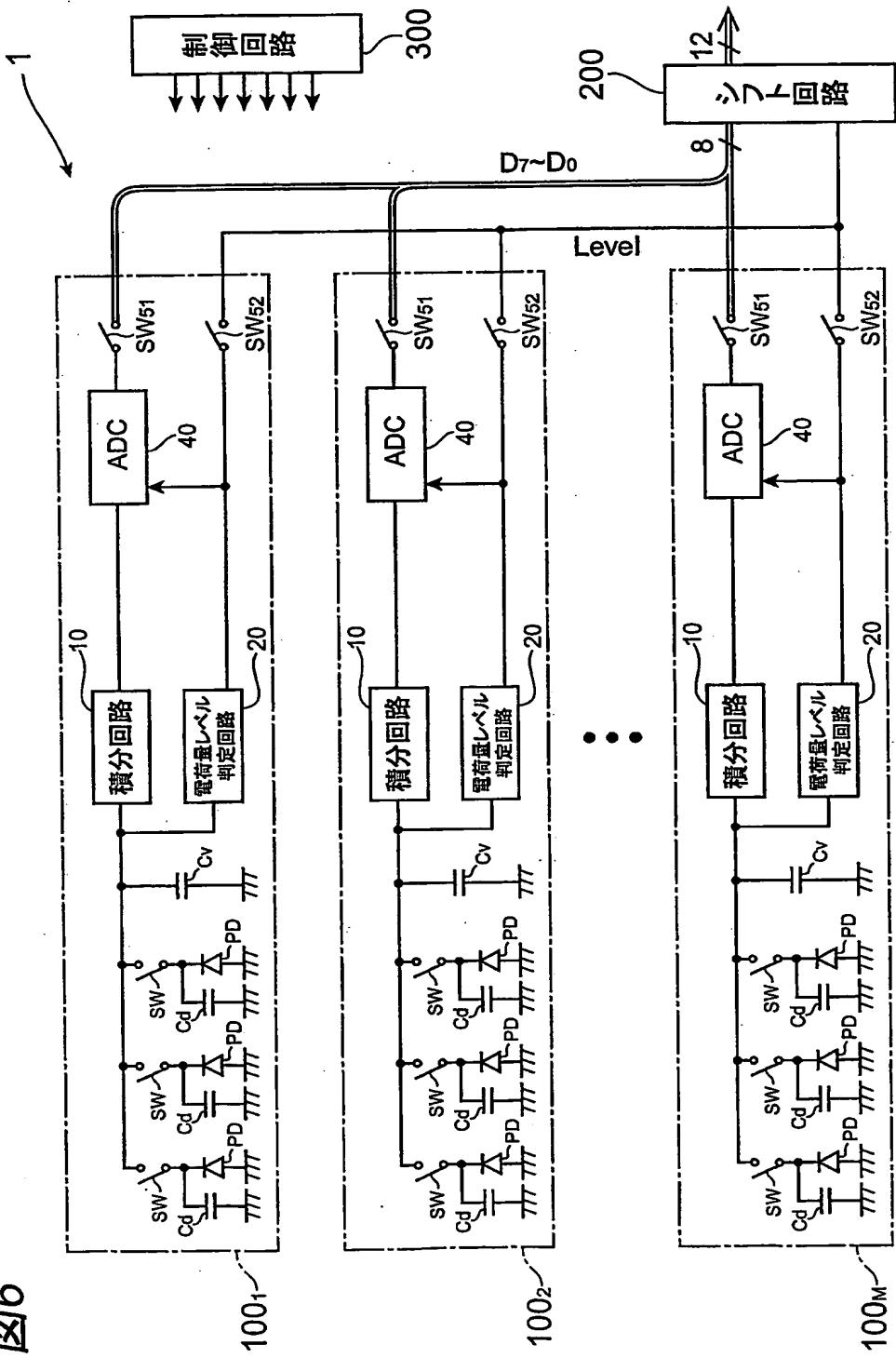
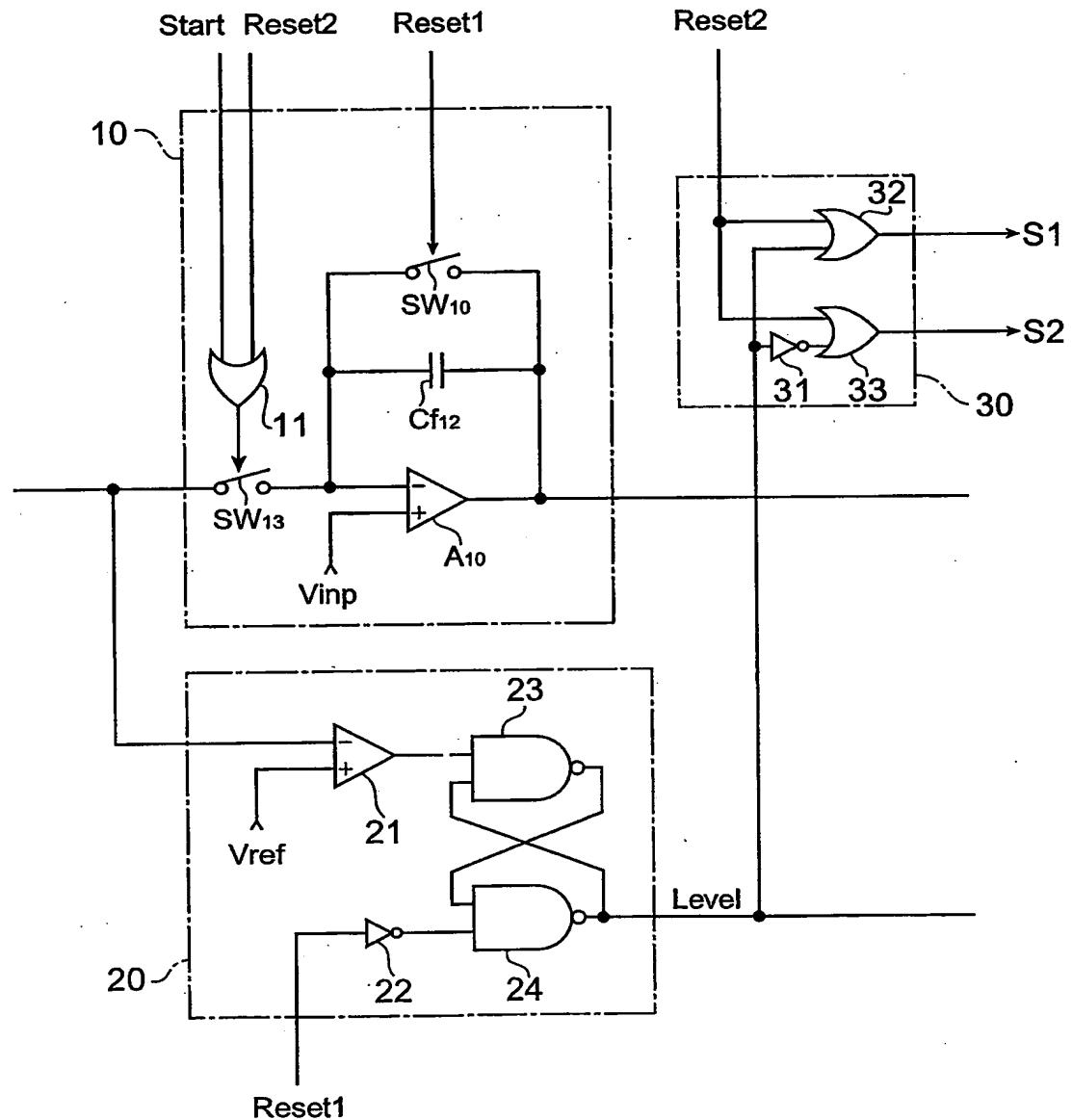


図7



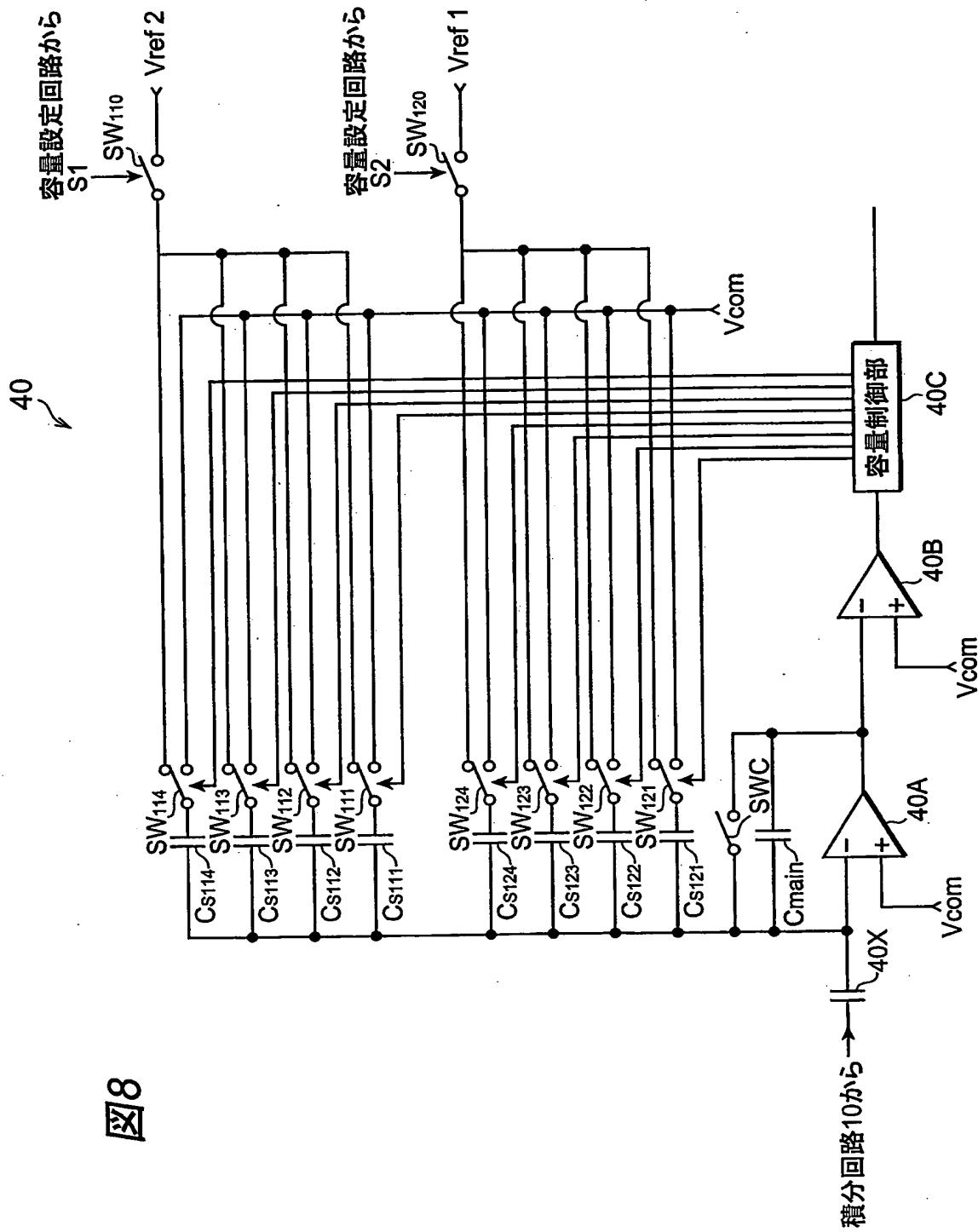


図9

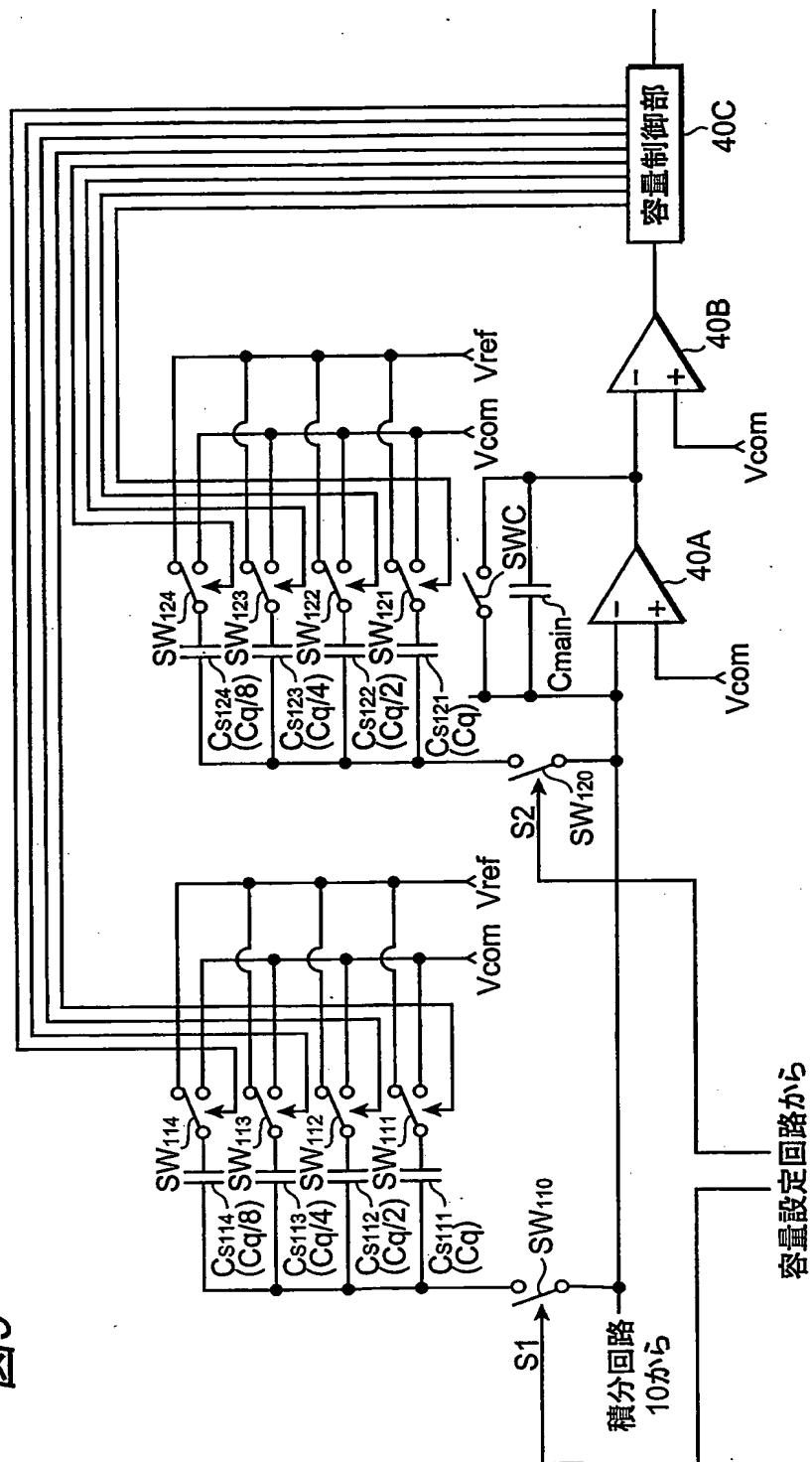
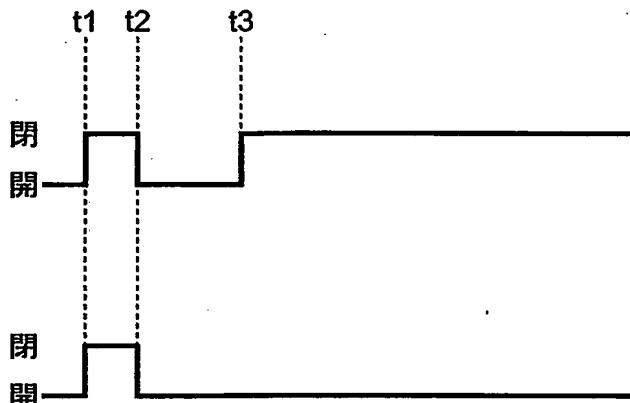


図10A

AD変換回路のSW110

**図10B**

AD変換回路のSW120



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/06699

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G01J 1/44

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01J 1/42-1/44, G01D 3/02-3/04, G01D 5/24, G01R 19/00-19/32,
G01R 29/22-29/24, H01L 27/14, H01L 31/10, H03M 1/00-1/88,
H04B 10/00-10/02, H04N 5/222-5/243, H04N 5/33-5/335Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-291955 A (NEC Corporation), 05 November, 1993 (05.11.93), Full text; Figs. 1 to 6	1 2-5, 9-10 6-8
Y	JP 9-51476 A (Hamamatsu Photonics K.K.), 18 February, 1997 (18.02.97), Full text; Figs. 1 to 6	2-5, 9-10
A	JP 9-51476 A (Hamamatsu Photonics K.K.), 18 February, 1997 (18.02.97), Full text; Figs. 1 to 6 & US 6201573 A	6-8
A	JP 10-153425 A (Inax Corporation), 09 June, 1998 (09.06.98), Par. No. [0019] to [0027]; Fig. 5 (Family: none)	1-10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
30 October, 2001 (30.10.01)Date of mailing of the international search report
06 November, 2001 (06.11.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/06699

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-288709 A (Mitsubishi Electric Corporation), 28 November, 1990 (28.11.90), Full text; Figs. 1 to 3 (Family: none)	1-10
A	IEEE Journal of Solid-State Circuits, Vol. 30, No. 5, (USA), Institute of Electrical and Electronics Engineers, 18 May, 1995 (18.05.95), pages 533 to 541	1-10

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1' G01J 1/44

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C1' G01J 1/42-1/44, G01D 3/02-3/04, G01D 5/24, G01R 19/00-19/32,
 G01R 29/22-29/24, H01L 27/14, H01L 31/10, H03M 1/00-1/88, H04B 10/00-10/02,
 H04N 5/222-5/243, H04N 5/33-5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 5-291955 A (日本電気株式会社) 5. 11月. 1993 (05. 11. 93) 全文, 第1-6図	1
Y	全文, 第1-6図	2-5, 9-10
A	全文, 第1-6図 (ファミリーなし)	6-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

30. 10. 01

国際調査報告の発送日

06.11.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

藤原 伸二

2W 9807



電話番号 03-3581-1101 内線 3290

C(続き) 関連すると認められる文献	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
引用文献の カテゴリー*		
Y	J P 9-51476 A (浜松ホトニクス株式会社) 18. 2月. 1997 (18. 02. 97)	2-5, 9-10
A	全文, 第1-6図	6-8
	全文, 第1-6図	
	& US 6201573 A	
A	J P 10-153425 A (株式会社イナックス) 9. 6月. 1998 (09. 06. 98) 段落番号【0019】-【0027】，第5図 (ファミリーなし)	1-10
A	J P 2-288709 A (三菱電機株式会社) 28. 11月. 1990 (28. 11. 90)	1-10
	全文, 第1-3図	
	(ファミリーなし)	
A	IEEE Journal of Solid-State Circuits, 第30巻, 第5号 (米) Institute of Electrical and Electronics Engineers, 18. 5月. 1995 (18. 05. 95) 第533-541頁	1-10